
Propositions de stages et TFE 2022

Hardware

TFE 2022 Hardware #1

Titre : Pre-compliance CE Laboratory

Cible : Ingénieur Civil en Electronique

Référent : Benoît Résimont / Magd Al-Rayyes / Lionel Brixhe

Centre de compétence interne : Compliance / PCB / Space

Description du travail:

More and more often, one of the last goals of a PCB project is to deliver a (pre-)compliance CE certificate to the customer.

This implies that our design must be tested in an accredited laboratory. The average cost of a day at the laboratory is: cost of an engineer + lab cost + lab report. This means... a lot. Not to mention the fact that the engineer will not be available to do other tasks.

These tests must also be prepared in advance and last but not least, the first availability of the EMC lab is about three months after the day you have decided to book.

To improve our success rate at the EMC lab, there exists some EMC pre-compliance devices/materials that could be used in order to understand better the weakness(es) of our PCB designs in terms of radiation and ESD immunity.

DELTATEC has some reasons to believe that a TEM Cell, a LISN (Line Impedance Stabilization Network) and an ESD gun could help us achieving this goal.

Main objectives of the TFE are the following ones:

- Understand TEM Cell and LISN principles/theories
- Understand and set up a spectrum analyzer based on a specific PCB design (= DUT)
- Measure the radiated emission of the DUT
- Correlate the performed measurements with measurements from an accredited lab (define limitations of the set-up)
- Design a LISN (PCB + housing) using Altium and Solidworks compatible with ECSS-E-HB-20-07A standard
- Test the designed LISN in an accredited EMC lab (ULiège)
- Understand, set up and use an ESD gun for a pre-compliance test
- Generate a detailed report

TFE 2022 Hardware #2

Titre : Réalisation de modèles UVVM

Cible : Ingénieur en Electronique

Référent : Maxime Dodemont

Centre de compétence interne : FPGA

Description du travail :

UVVM (Universal VHDL Verification Methodology) est une méthodologie et une bibliothèque libre et gratuite pour une vérification VHDL très efficace des FPGA et ASIC.

Deltatec souhaite généraliser son utilisation au sein de l'entreprise et augmenter l'efficacité de la vérification de ses designs FPGA en s'appuyant sur une bibliothèque de modèles génériques.

L'objectif de ce travail est donc de prendre en main l'environnement UVVM, de comprendre ses mécanismes et de coder des modèles qui serviront de base à la bibliothèque.

Les points suivants seront à réaliser:

- Etude de l'environnement UVVM et du framework VVC
- Réalisation de plusieurs modèles en VHDL
- Codage de fonctions pour interagir efficacement avec ces modèles
- Tests des résultats

TFE 2022 Hardware #3

Titre : IP 2110 Stream Analyzer

Cible : Ingénieur en Electronique

Référent : Lionel Decelle

Centres de compétences internes : FPGA / Network

Description du travail :

SMPTE 2110 est une suite de normes de la Society of Motion Picture and Television Engineers (SMPTE) qui décrit comment envoyer des médias numériques sur un réseau IP.

La société Deltacast (<https://www.deltacast.tv/>) offre des cartes PCIe de capture et de playout pour gérer ces formats de transports vidéo sur IP.

Dans le cadre de ces solutions, le travail consiste à développer un module capable d'identifier et lister les streams circulant sur le réseau en amont de la capture afin de proposer une aide au gestionnaire de l'infrastructure et à l'équipe de développement.

Les points suivants seront à réaliser:

- Etude des différents protocoles impliqués.
- Développement d'un module VHDL permettant d'analyser et consigner les différents paquets vus sur le réseau.
- Développement d'un module de traitement et de présentation des données récoltées, permettant de discriminer efficacement les flux détectés.